

⑤

Int. Cl.

H 01 L 21/78
H 01 L 23/78

4011-29/16
DT 25 20 047 A1

⑥ BUNDESREPUBLIK DEUTSCHLAND



DEUTSCHES PATENTAMT

①

Offenlegungsschrift 25 20 047

②

Aktenzeichen: P 25 20 047 S

③

Anmeldetag: 6. 5. 75

④

Offenlegungstag: 4. 12. 75

⑤

② ③ ④

20. 5. 74 USA 471061

⑥

Bezeichnung:

Verfahren zur Herstellung von Silizium-Gate-Feldeffekttransistoren

⑦

Anmelder:

International Business Machines Corp. Armonk, N.Y. (VStA)

⑧

Vertreter:

Möng, A. Dipl.-Ing. Pat.-Ass. 7030 Boblingen

⑨

Erfinder:

Antipov, Igor, Pleasant Valley, N.Y. (VStA)

DT 25 20 047 A1

2520047

Böblingen, den 5. Mai 1975

mo/bs

Anmelderin: International Business Machines Corporation, Armonk, N.Y. 10504

Amtliches Aktenzeichen: Neuanmeldung

Aktenzeichen der Anmelderin: FI 973 061

Verfahren zur Herstellung von Silizium-Gate-Feldeffekttransistoren

Die Erfindung betrifft ein Verfahren zur Herstellung von Feldeffekttransistoren mit einem Gate aus Halbleitermaterial, vorzugsweise aus Silizium, bei dem von einem Halbleitersubstrat eines ersten Leitfähigkeitstyps ausgegangen wird, in welchem Dotierungsgebiete eines zweiten, dazu entgegengesetzten Leitfähigkeitstyps in einem der Kanallänge entsprechenden Abstand als Source- und Drain-Gebiete angeordnet sind, und bei dem das Halbleitersubstrat von einer Isolationsschicht bzw. dem Gate-Dielektrikum bedeckt ist.

Die Verwendung einer dotierten polykristallinen Siliziumschicht für die Gate-Elektrode eines Feldeffekttransistors ist an sich bekannt, vgl. z. B. US-PS 3 544 399. Gate-Elektroden aus z. B. Poly-Silizium können in weit höherem Maße als viele normalerweise in Halbleiterschaltungen benutzte Metalle hohen Temperaturen standhalten. Eine verbreitete Anwendung solcher Silizium-Gate-Elektroden besteht darin, daß damit der Abstand der Source- und Drain-Gebiete im Halbleitersubstrat sehr genau bestimmt werden kann. Im allgemeinen wird dabei die Gate-Struktur zuerst ausgebildet. Sie dient anschließend als Diffusionsmaske bei der Herstellung der Source- und Drain-Gebiete. Mittels dieser Technik

werden insbesondere Justierungsfehler gering gehalten, wie sie bei anderen üblichen Verfahrensweisen stets zu berücksichtigen sind. Obwohl es eine Reihe von hitzebeständigen Metallen gibt, die auch den z. B. für einen Diffusionsvorgang gebräuchlichen Temperaturen standhalten können, lassen sich diese Metalle jedoch meist nur schwer verfahrensmäßig behandeln. Insbesondere treten Schwierigkeiten auf, mit solchen Metallen die im Rahmen einer Halbleiterschaltung erforderlichen Zwischenverbindungen auszubilden. Die Verwendung einer dotierten Polysilizium-Schicht sowohl als Gate-Elektrode als auch für leitende Zwischenverbindungen in einer Halbleiterschaltung mit Feldeffekttransistoren bringt nach dem Stand der Technik bisher noch eine Reihe von Nachteilen mit sich. Die Oberflächenebenheit der sich letztlich ergebenden Anordnung läßt dabei meist sehr zu wünschen übrig, wenn noch eine weitere Leiterebene vorgesehen werden soll. Weiterhin ist man für die Ausbildung des leitfähigen Verbindungsmusters außerordentlich eingeschränkt, wenn die aufgebrachte Polysilizium-Schicht als Diffusionsmaske für die Source- und Drain-Gebiete verwendet wird. Beispielsweise kann das in der Polysilizium-Schicht ausgebildete Verbindungsmuster nicht über die Source- und Drain-Gebiete geführt werden, da diese Gebiete bei der Bildung der Polysilizium-Schicht offen gehalten werden müssen. Schließlich wird normalerweise die Dotierung der Silizium-Gates sowie etwaige zugeordnete Zwischenverbindungen gleichzeitig mit der Diffusion der Source- und Drain-Gebiete durchgeführt. Folglich muß ein und derselbe Dotierungsstoff benutzt werden, worin eine beträchtliche Einschränkung hinsichtlich der erzielbaren Schaltungseigenschaften liegen kann.

Es kann somit festgestellt werden, daß bisher bekannte Verfahren zur Herstellung von Silizium-Gate-Feldeffekttransistoren mit eventuell gleichzeitiger Ausbildung einer leitenden Ebene für Schaltungsverbindungen noch verbesserungsbedürftig sind. Demzufolge liegt der Erfindung die Aufgabe zugrunde, ein hinsichtlich der oben genannten Gesichtspunkte verbessertes Verfahren der ein-

gangs genannten Art anzugeben. Zur Lösung dieser Aufgabe sieht die Erfindung ein Verfahren der im Patentanspruch gekennzeichneten Art vor. Vorteilhafte Ausgestaltungen dieses Verfahrens sind in den Unteransprüchen gekennzeichnet.

Die Erfindung wird im folgenden anhand von Ausführungsbeispielen unter Zuhilfenahme der Zeichnungen näher erläutert.

Es zeigen:

- Fig. 1-5 schematische Querschnittsdarstellungen der sich nach verschiedenen Verfahrensschritten nach der Erfindung ergebenden Halbleiterstruktur und
- Fig. 8 ein Ablaufdiagramm des erfindungsgemäßen Verfahrens.

In Fig. 1 ist eine typische Ausgangsstruktur angegeben, von der aus das erfindungsgemäße Verfahren begonnen wird. Die dort gezeigte Struktur bzw. Anordnung weist ein einkristallines Halbleitersubstrat 10 eines ersten Leitfähigkeitstyps auf, in dem Source-Gebiete 12 und Drain-Gebiete 14 angeordnet sind, und das eine (Feld-)Isolationsschicht 16 trägt. Die Source- und Drain-Gebiete 12 und 14 können mittels an sich bekannter Verfahren, z. B. durch Diffusion oder Ionenimplantation, hergestellt werden. Es ist festzustellen, daß die in Fig. 1 dargestellte Anordnung lediglich repräsentative Bedeutung hat; das erfindungsgemäße Verfahren wird in der Praxis allgemein bei integrierten Schaltungen mit weiteren aktiven und passiven Elementen einsetzbar sein. Weiterhin kann das zu beschreibende Verfahren im Rahmen einer Komplementär-FET-Technologie angewendet werden, bei der eine Kombination von N- und P-Kanal-Transistoren erzeugt wird. In diesem Fall wird für den anderen FET-Typ ein Dotierungsgebiet (als Substrat) vorgesehen, dessen Leitfähigkeit dem des Substrats 10 entgegengesetzt ist. Die Isolationsschicht 16 ist normalerweise relativ dick, um

einen ausreichenden Abstand zwischen der Ebene für die Schaltungsverbindungen und dem Substrat in der endgültigen Struktur zu gewährleisten. Auf der anderen Seite könnte die Ausgangsstruktur für das erfindungsgemäße Verfahren auch lediglich aus einem Substrat 10 ohne diese Isolationsschicht bestehen. Bei der Herstellung der Isolationsschicht 16 wird eine Öffnung 17 vorgesehen, damit der Gate-Bereich 18 freigelegt wird.

Wie aus Fig. 2 hervorgeht, wird dann auf die Oberfläche der Ausgangsstruktur und in direktem Kontakte mit dem Gate-Bereich 18 die Schicht 20 für das Gate-Dielektrikum aufgebracht. Für den Fall, daß keine (Feld)-Isolationsschicht 16 vorgesehen wird, erstreckt sich die gesamte Schicht 20 direkt auf der Substratoberfläche. Im allgemeinen wird die Dicke der Schicht 20 für das Gate-Dielektrikum relativ dünn gewählt sein, um einen geringen Schwellenspannungswert zu erhalten, was in der Regel erwünscht ist. Die Dicke des Gate-Dielektrikums wird vorzugsweise mindestens 300 \AA betragen, obwohl je nach der Qualität des Gate-Dielektrikums auch eine nur 100 \AA dünne Schicht vorgesehen werden kann. Die obere Grenze für die Schichtdicke beträgt normalerweise größenordnungsmäßig etwa 700 \AA , was durch den gewünschten Wert für die Schwellenspannung sowie die Betriebseigenschaften des Feldeffekttransistors festgelegt ist. Diese Schicht 20 kann somit aus jedem Material gebildet werden, das die Anforderungen hinsichtlich der Benutzung als Gate-Dielektrikum erfüllt, wozu thermisches oder pyrolytisch niedergeschlagenes Siliziumoxid oder andere Materialien gehören. Vorzugsweise wird das Gate-Dielektrikum in einem chemischen Aufdampfvorgang einer dünnen Schicht aus SiO_2 gebildet, dessen Dicke in der Größenordnung von 300 \AA liegt. Anschließend wird die so gebildete Struktur einer oxidierenden Atmosphäre ausgesetzt, so daß sich eine zusätzliche Schicht aus thermischem SiO_2 an der Grenzschicht zwischen der ursprünglich niedergeschlagenen Schicht und dem Substrat 10, im Falle eines Silizium-Substrats bilden kann. Wie in Fig. 2 dargestellt ist, wird auf die Schicht 20 eine durchgehende Siliziumschicht 22 aufgebracht. Die Schichtdicke

rd dabei vorzugsweise im Bereich von 4000 bis 4000 Å und innerhalb dieses Bereiches vorteilhafterweise zwischen 2000 und 3000 Å gewählt. Die Dicke der Schicht 22 richtet sich nach dem Grad der zu zielenen Ebenheit, wie später noch näher erläutert werden wird. Die durchgehende Siliziumschicht 22 wird dabei mittels eines an sich bekannten chemischen Aufdampfprozesses ausgebildet. Dabei wird in einem typischen Fall ein Silizium enthaltender Gasstrom, nämlich SiH_4 , SiCl_4 , sowie ein reduzierendes Mittel, z. B. H_2 , durch eine Reaktionskammer zusammen mit einem inerten Trärgas über das Substrat geleitet, das auf eine Temperatur im Bereich zwischen 600 und 800 °C erhitzt ist. Die Reaktion, bei der Silizium reduziert und niedergeschlagen wird, findet an der erhitzten Oberfläche statt. Dabei kann ein für Halbleitermaterialien geeigneter Dotierungsstoff gleich dem Gastrom beigelegt oder auch anschließend in das Silizium eingebracht werden, wie später noch genauer beschrieben wird. Anders als bei Prozessschritten, bei denen das Polysilizium-Gate zur Abstandsfestlegung zwischen Source und Drain benutzt wird, muß das Dotierungsmittel für die Siliziumschicht 22 in diesem Fall nicht mit dem für die Source- und Drain-Gebiete benutzten Dotierungsmittel gleich sein. Als bevorzugtes Dotierungsmittel kann Arsen in einer je nach dem gewünschten Leitfähigkeitswert eingestellten Konzentration genommen werden. Auf der Oberfläche dieser Schicht 22 wird dann eine durchgehende Schicht 24 aus SiO_2 gebildet. Diese Schicht 24 kann durch Oxidation der Schicht 22 oder durch einen Aufdampfprozeß hergestellt werden. Normalerweise ist die Schicht 24 sehr dünn, d. h. zwischen 100 und 300 Å dick, und verhindert, daß die anschließende Si_3N_4 -Schicht 26 direkt auf der Schicht 22 niedergeschlagen wird. Erforderlichenfalls kann die Schicht 24 aber auch weggelassen werden. Wie weiterhin aus Fig. 2 hervorgeht, wird dann auf die Oberfläche der Schicht 22 bzw. 24 eine durchgehende Si_3N_4 -Schicht 26 aufgebracht. Diese Schicht 26 dient als Oxidationsmaske und benötigt daher eine Dicke, die ausreicht, die Oxidation der Schicht 22 zu verhindern. Die Dicke dieser Schicht 26 wird normalerweise Größenordnungsmaßig etwa 500 Å betragen. Auf der Si_3N_4 -Schicht 26 wird anschließend wieder eine

durchgehende SiO₂-Schicht 28 aufgebracht. Diese Schicht 28 soll als Atzmaske für die darunterliegende SiN-Schicht dienen. Auf der Schicht 28 wird anschließend eine (nicht mehr dargestellte) Photolackschicht aufgebracht, belichtet, und so weit entwickelt, wie es zur Abgrenzung der Gate-Elektrode sowie der zusätzlichen Leitverbindungen erforderlich ist. Ein Verfahren zum Ätzen von Siliziumnitrid mit einer Siliziumoxid-Abdeckschicht ist in der US-PS 3 479 237 beschrieben.

Wie in Fig. 3 dargestellt, werden die Schichten 24, 26 und 28 selektiv durch Ätzen entfernt, wobei Bereiche übrigbleiben, die mindestens die Gate-Elektrode des Feldeffekttransistors definieren. Zusätzlich zur Festlegung der Gate-Elektrode(n) können in diesem Punkt des Verfahrens weitere leitfähige Zwischenverbindungen bestimmt werden. Dabei wird deutlich, daß die derart herstellbaren Zwischenverbindungen auch über die Source- und Drain-Gebiete 12, 14 verlaufen können, so daß insoweit bei der Schaltungsauslegung ein erheblich erweiterter Spielraum zur Verfügung steht.

Wie in Fig. 4 dargestellt ist, werden die verbleibenden freigelegten Bereiche der Siliziumschicht 22 in ihrer Gesamtheit oxidiert, so daß sich daraus eine dickere SiO₂-Schicht 30 ergibt. Die Kombination der Schichten 16, 20 und 30 in den Feldbereichen (außerhalb der Gate-Bereiche) der Feldeffekttransistoren stellt eine relativ dicke Schicht aus Isoliermaterialien dar, die vollausreichend ist, die nachfolgend auszubildende Leiterbahn vom Substrat 10 zu trennen. Für den Fall, daß zu Anfang keine (Feld-)Isolationsschicht 16 auf der Oberfläche des Substrats 10 vorgesehen war, kann die Dicke der Siliziumschicht 22 größer gewählt werden, woraus sich eine relativ dickere Isolierschicht 30 ergibt. Zur Oxidation der Schicht 22 kann die Anordnung in eine erhitzte Dampf-atmosphäre über eine so lange Zeit eingebracht werden, daß der gesamte Bereich oxidiert wird.

Wie in Fig. 5 dargestellt ist, werden die verbleibenden Bereiche der Schichten 28, 26 und 24 über dem Gate-Bereich sowie in den für die Zwischenverbindung vorgesehenen Gebieten durch kurzes Eintauch-Ätzen der Struktur entfernt. Beim Entfernen der Schichten 24 und 28 kann auch von der Schicht 30 ein dünner Oberflächenanteil angegriffen werden, was jedoch vernachlässigbar ist. Mittels Diffusion oder Ionenimplantation wird dann ein Dotierungsstoff in das Silizium-Gate 32 sowie in die übrigen für die Zwischenverbindungen vorgesehenen Bereiche eingebracht. Dabei ist keine Maskierung erforderlich. Als bevorzugtes Dotierungsmittel für das Gate 32 ist Arsen in einer Konzentration anzusehen, die zur Erzielung des gewünschten spezifischen Widerstandes, in typischen Fällen $75 \Omega/\square$, ausreicht, was durch eine Arsenkonzentration im Bereich von 10^{19} bis $10^{21}/\text{cm}^3$ möglich ist. Dieser Dotierungsschritt kann dann entfallen, wenn der Dotierungsstoff bereits früher beim Aufbringen der Schicht 22 zugesetzt war.

Wie in Fig. 6 dargestellt ist, werden durch die Schichten, 16, 20 und 30 mittels konventioneller photolithographischer und subtraktiver Ätztechniken Kontaktlöcher zu den Source- und Drain-Gebieten 12 und 14 geöffnet. Entsprechend Fig. 4 sowie dem Verfahrensschritt 6 von Fig. 8 wird dann auf der Oberfläche der Anordnung eine passivierende Struktur aufgebracht. Eine typische und vorteilhafte Passivierungsmethode besteht darin, zuerst eine pyrolitisch niedergeschlagene SiO_2 -Schicht 40 und darüber eine Si_3N_4 -Schicht 42 auszubilden, wobei auf diese letztere eine dicke SiO_2 -Schicht aufgedampft wird. Kontaktöffnungen 46, 48 und 49 werden anschließend durch die zusammengesetzten Schichten 40, 42 und 44 geätzt, bis die entsprechenden Source- und Drain-Gebiete 12, 14 bzw. im Kontaktloch 49 die Gate-Elektroden der Feldeffekttransistoren sowie die Silizium-Zwischenverbindungen freiliegen.

Das oben beschriebene Verfahren weist eine Anzahl von Vorteilen auf, die bei vergleichbaren Verfahren nach dem Stande der Technik unter Benutzung von leitfähigen Polysilizium-Gate-Schichten bzw.

diesen zugeordneten Zwischenverbindungsschichten nicht vorlagen. Anders als bei den Verfahren, bei denen die Gate-Struktur zur Festlegung der Source- und Drain-Gebiete und mithin als Diffusionsmaske diente, können bei dem vorliegenden Verfahren die leitenden Verbindungsstreifen sowie die Gate-Elektroden direkt über den Source- und Drain-Gebieten verlaufen. Dadurch wird ein bedeutend größerer Spielraum für die Auslegung der Zwischenverbindungsstrukturen möglich. Ein weiterer Vorteil ist darin zu sehen, daß jeder geeignete Dotierungsstoff für die Gate-Elektrode(n) vorgesehen werden kann, da die zugehörige Auswahl nicht auf solche Dotierungsstoffe beschränkt ist, die auch für die Source- und Drain-Gebiete benutzt werden. Diese Tatsache ist besonders wichtig, wenn das Verfahren zur Herstellung komplementärer Feldeffekttransistor-Anordnungen eingesetzt werden soll. Weiterhin erlaubt die Verwendung von Arsen als Dotierungsmittel für das Polysilizium-Gate sowie die leitenden Zwischenverbindungen die Entfernung der Nitridschicht von den Gates. Dadurch wird die Instabilität beseitigt, die mit derartigen Doppel-Isolationsschichten im Gate-Bereich verbunden ist, nämlich die störende Schwellenspannungsverschiebung. Ein weiterer Vorteil besteht darin, daß die Polysilizium-Gates durch eine dicke angrenzende Oxidschicht 30 definiert sind. Dadurch wird die Gefahr von Gate-Kurzschlüssen gemindert, die auftreten können, wenn die Kanten der Polysilizium-Schicht durch ein dünnes Gate-Oxid definiert werden. Schließlich ist ein weiterer Vorteil in der Verbesserung der Oberflächenebenheit zu sehen, da im Bereich des Gates sowie der leitenden Polysilizium-Zwischenverbindungen keine nennenswerten Stufungen vorliegen, weil die SiO_2 -Schicht 30 an die Gate-Struktur 32 angrenzt.

PATENTANSPRÜCHE

1. Verfahren zur Herstellung von Feldeffekttransistoren mit einem Gate aus Halbleitermaterial, vorzugsweise aus Silizium, bei dem von einem Halbleitersubstrat eines ersten Leitfähigkeitstyps ausgegangen wird, in welchem Dotierungsgebiete eines zweiten, dazu entgegengesetzten Leitfähigkeitstyps in einem der Kanallänge entsprechenden Abstand als Source- und Drain-Gebiete angeordnet sind, und bei dem das Halbleitersubstrat von einer Isolationsschicht bzw. dem Gate-Dielektrikum bedeckt ist, dadurch gekennzeichnet, daß auf die so gebildete Anordnung eine durchgehende Schicht aus Halbleitermaterial, vorzugsweise aus Silizium, aufgebracht wird, daß diese Schicht zunächst mit einer die Oxidation des darunter befindlichen Halbleitermaterials verhindernden Schicht abgedeckt wird, in der anschließend mittels bekannter photolithographischer Verfahrensschritte eine selektive Oxidationsmaske gebildet wird derart, daß die Gate-Bereiche der Feldeffekttransistoren sowie die für Schaltungsverbindungen in der aufgetragenen Halbleiterschicht vorgesehenen Bereiche von der Oxidationsmaske bedeckt sind, daß die nicht maskierten Bereiche der Schicht aus Halbleitermaterial vollständig in ihr Oxid umgewandelt werden, und daß schließlich die die Oxidationsmaske bildenden Schichtbereiche entfernt und zu den so hergestellten Schaltungs- bzw. Verbindungselementen elektrische Anschlüsse hergestellt werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Dicke der durchgehend aufgetragenen Schicht aus Halbleitermaterial, vorzugsweise aus Silizium, so gewählt wird, daß sich nach Abschluß des Verfahrens unter Berücksichtigung des Oxidations- bzw. eines weiteren Dotierungsschrittes eine relativ ebene Oberfläche der so gebildeten Halbleiterstruktur ergibt.

3. Verfahren nach den Ansprüchen 1 oder 2, dadurch gekennzeichnet, daß die durchgehend aufgebraachte Schicht aus Halbleitermaterial, vorzugsweise aus Silizium, bereits in für Leitzwecke dotierter Form aufgebracht wird.
4. Verfahren nach den Ansprüchen 1 oder 2, dadurch gekennzeichnet, daß die durchgehend aufgebraachte Schicht aus Halbleitermaterial, vorzugsweise aus Silizium, gleich nach ihrem Aufbringen einem Dotierungsschritt unterworfen wird.
5. Verfahren nach den Ansprüchen 1 oder 2, dadurch gekennzeichnet, daß die aufgebraachte Schicht aus Halbleitermaterial, vorzugsweise aus Silizium, nach der Oxidation der unmaskierten Bereiche selektiv in den beim Oxidationsvorgang abgedeckten Bereichen dotiert wird.
6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß als Oxidationsmaske eine Siliziumnitrid enthaltende Schichtung benutzt wird.
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß als Oxidationsmaske eine $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ -Schichtstruktur benutzt wird.
8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Dotierung der aufgebraachten Schichtbereiche aus Halbleitermaterial mittels Arsen erfolgt.

Mo
Leerseite



FIG. 6

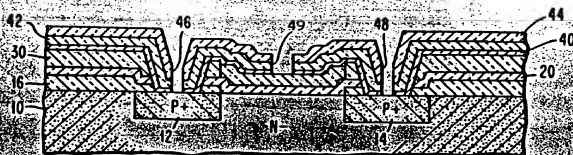


FIG. 7

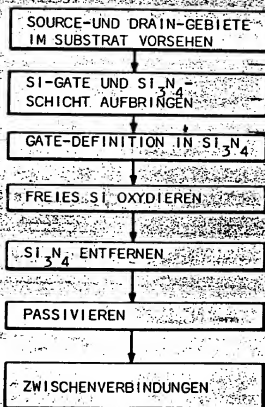


FIG. 8

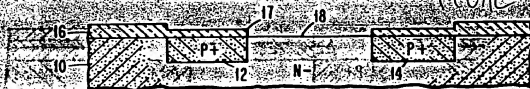


FIG. 1

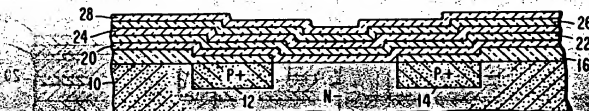


FIG. 2

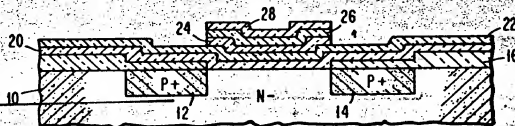


FIG. 3

GRASP 1411
DOCKET NO:

SERIAL NO:

APPlicant: *Gunter Plasac*

LENNER AND GREENBERG, P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

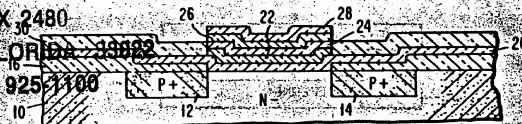


FIG. 4



FIG. 5

509849/0865

HOIL 21-18 AT:06.05:1975 OT:04.12:1975